

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-225568

(43)Date of publication of application : 14.08.1992

(51)Int.Cl.

H01L 29/46  
H01L 21/90

(21)Application number : 02-407975

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.1990

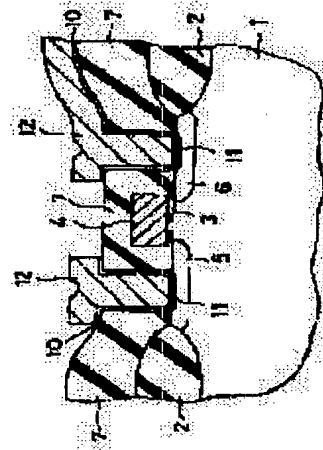
(72)Inventor : NOGUCHI TATSUO

## (54) CONTACT STRUCTURE OF SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To reduce a band gap of a semiconductor region in contact with metal wirings so as to obtain a low contact resistance with both N-type and P-type semiconductor regions.

**CONSTITUTION:** Surfaces of diffused layers 5, 6 exposed by opening an interlayer insulating film 7 on a silicon substrate 1 are covered with germanium 10, and heat treated to form compound of SiGe on the contact part with metal wiring 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-225568

(43) 公開日 平成4年(1992)8月14日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/46	Z	7738-4M		
21/90		7353-4M		

審査請求 未請求 請求項の数7(全6頁)

(21) 出願番号 特願平2-407975

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 野口 達夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

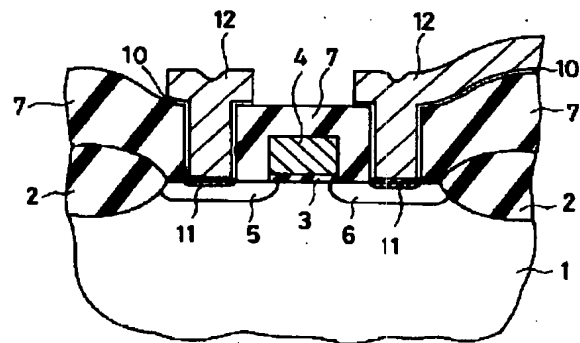
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置のコンタクト構造及びその製造方法

(57) 【要約】

【目的】 N型、P型両方の半導体領域に対して低いコンタクト抵抗が得られるように金属配線と接している半導体領域のバンドギャップを小さくする。

【構成】 シリコン基板1上の層間絶縁膜7を開孔して露出した拡散層5、6の表面にゲルマニウム10を被着して熱処理することにより、金属配線12とのコンタクト部分をSiGeの化合物にする。



## 【特許請求の範囲】

【請求項1】 半導体基板上または多結晶半導体上に絶縁膜が形成されこの絶縁膜上に形成された開孔部と、前記開孔部を介して金属配線により接触する前記半導体基板表面または多結晶半導体表面とを具備し、前記金属配線によってコンタクトされている半導体基板表面または多結晶半導体表面の領域におけるバンドギャップがそれ以外の領域のバンドギャップに比べて小さくなっていることを特徴とする半導体装置のコンタクト構造。

【請求項2】 前記金属配線によってコンタクトされている半導体基板表面または多結晶半導体表面の領域にはバンドギャップを小さくするべく前記半導体基板や多結晶半導体を構成する原子と同族で異なる周期の原子が混入されていることを特徴とする請求項1記載の半導体装置のコンタクト構造。

【請求項3】 前記半導体基板はシリコン基板、前記多結晶半導体は多結晶シリコンであり、前記バンドギャップを小さくするべく半導体基板表面または多結晶半導体表面の領域に混入されている原子はゲルマニウムであることを特徴とする請求項1または2記載の半導体装置のコンタクト構造。

【請求項4】 半導体基板上または多結晶半導体上に絶縁膜を形成しこの絶縁膜上に開孔して前記半導体基板表面または多結晶半導体表面が露出する開孔部を形成する工程と、前記開孔部により露出した前記半導体基板表面または多結晶半導体表面にバンドギャップを小さくするべく前記半導体基板や多結晶半導体を構成する原子と同族で異なる周期の原子を混入する工程と、前記開孔部を埋めるように前記半導体基板表面または多結晶半導体表面とコンタクトされる金属配線を形成する工程とを具備したことを特徴とする半導体装置のコンタクト製造方法。

【請求項5】 前記開孔部により露出した前記半導体基板表面または多結晶半導体表面にバンドギャップを小さくするべく前記半導体基板や多結晶半導体を構成する原子と同族で異なる周期の原子を混入する工程はイオン注入法によってなされることを特徴とする請求項4記載の半導体装置のコンタクト製造方法。

【請求項6】 前記開孔部により露出した前記半導体基板表面または多結晶半導体表面にバンドギャップを小さくするべく前記半導体基板や多結晶半導体を構成する原子と同族で異なる周期の原子を混入する工程は真空蒸着法によってなされることを特徴とする請求項4記載の半導体装置のコンタクト製造方法。

【請求項7】 前記開孔部により露出した前記半導体基板表面または多結晶半導体表面にバンドギャップを小さくするべく前記半導体基板や多結晶半導体を構成する原子と同族で異なる周期の原子を混入する工程はスパッタリング法によってなされることを特徴とする請求項4記載の半導体装置のコンタクト製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、微細なコンタクトホールを介して金属配線と半導体領域が接続される際のコンタクト抵抗の低減が要求される半導体装置のコンタクト及びその製造方法に関する。

【0002】

【従来の技術】従来、半導体装置のコンタクト抵抗を低減するためには以下に述べる2つの方法があった。MIS (Metal Insulator Semiconductor) 型半導体装置を例にとって従来技術を説明する。

【0003】第12図はMIS型半導体装置の構成を示す断面図である。半導体基板41上に素子分離領域42が形成されている。この素子分離領域42で囲まれた半導体基板41上にはゲート絶縁膜43が形成され、このゲート絶縁膜43上に選択的にゲート電極44が形成されている。一般にこのゲート電極44は多結晶半導体により構成される。ゲート電極44の両側の半導体基板41表面上にはソースまたはドレイン電極となる半導体領域45、46が形成されている。一般にこの半導体領域45、46には基板41と反対導電型の不純物が高濃度に導入されている。ゲート電極44を含む半導体基板41上全面に形成された層間絶縁膜47に、半導体領域45、46それぞれの表面が露出するコンタクトホール47が形成されている。コンタクトホール47を埋めるように配線用金属48が半導体領域45、46のコンタクト電極及び配線を形成している。この配線用金属48は一般にアルミニウムで形成されているが、高融点金属の珪化物や窒化物とアルミニウムの積層構造の場合もある。

【0004】ところで、金属と半導体のコンタクト抵抗  $R_c$  は一般に次式で表される。

【0005】

【数1】

$$R_c = A \exp \left[ \frac{2 \sqrt{\epsilon_m}}{h} \left( \frac{\phi_B}{\sqrt{N_D}} \right) \right] \quad \dots (1)$$

【0006】ここで、Aは定数、 $\epsilon_m$  は有効質量、h はプランク定数であり、 $\phi_B$  は金属と半導体のバリヤハイト  $N_D$  は半導体領域15、16やゲート電極14の不純物濃度である。(1)式より、コンタクト抵抗を下げるには  $\phi_B$  を小さくするか  $N_D$  を大きくすればよいことになる。

【0007】従来では、コンタクト抵抗を下げるためにソース、ドレイン電極またはゲート電極の不純物濃度を上げる第1の方法と、半導体基板に対してバリヤハイトが小さい金属を選ぶ第2の方法の2種類によりコンタクト抵抗を下げていた。

【0008】しかし、不純物濃度を上げる第1の方法はシリコン基板に固溶する不純物濃度には限界があり、P型不純物のボロンはせいぜい  $1.0 \times 10^{20} \text{ cm}^{-3}$  まで、N型不

純物のヒ素はせいぜい $10^{21} \text{ cm}^{-3}$ までである。現在すでに固溶限界に近づいており、このような不純物濃度を上げる方法でコンタクト抵抗をさらに下げるのは不可能に近い。また、将来の素子の微細化を考慮するとプロセス温度を低温にする必要があり、固溶限界がさらに小さくなること、ソース、ドレイン領域を浅くするためには、不純物濃度があまり上げられないことなどから、この方法でコンタクト抵抗を低減することは困難になってきている。

【0009】バリアハイトが小さい金属を選ぶ第2の方法は次のような問題がある。例えばN型半導体に対しコンタクトされる金属配線がアルミニウムである場合、このアルミニウムよりバリアハイトの小さい金属は、例えば高融点金属のケイ化合物などが考えられる。ところが、N型半導体に対してバリアハイトの小さい金属はP型半導体に対してはバリアハイトが大きいので逆にコンタクト抵抗が高くなってしまふ。

【0010】

【発明が解決しようとする課題】このように従来では、半導体と金属との間のコンタクト抵抗を小さくするための対策には、固溶限界による微細化の妨げやN型、P型両半導体に対してバリアハイトを小さくし得る金属がない等種々の問題が含まれていた。

【0011】この発明は上記のような事情を考慮してなされたものであり、その目的は、N型、P型両方の半導体領域に対して低いコンタクト抵抗が得られる半導体装置のコンタクト構造及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】この発明の半導体装置におけるコンタクト構造は、半導体基板上または多結晶半導体上に絶縁膜が形成されこの絶縁膜に覆われるように形成された多結晶半導体と、前記絶縁膜上に形成された開孔部と、前記開孔部を介して金属配線により接触する前記半導体基板表面または多結晶半導体表面とを具備し、前記金属配線によってコンタクトされている半導体基板表面または多結晶半導体表面の領域におけるバンドギャップがそれ以外の領域のバンドギャップに比べて小さくなっていることを特徴としている。

【0013】この発明の半導体装置のコンタクト製造方法は、半導体基板上または多結晶半導体上に絶縁膜を形成しこの絶縁膜上を開孔して前記半導体基板表面または多結晶半導体表面が露出する開孔部を形成する工程と、前記開孔部により露出した前記半導体基板表面または多結晶半導体表面にバンドギャップを小さくするべく前記半導体基板や多結晶半導体を構成する原子と同族で異なる周期の原子を混入する工程と、前記開孔部を埋めるように前記半導体基板表面または多結晶半導体表面とコンタクトされる金属配線を形成する工程とを具備したことを特徴としている。

【0014】

【作用】この発明では、半導体と金属との間のコンタクト抵抗を小さくするために金属配線と接している半導体領域のバンドギャップを小さくする。このようにすれば、N、P 拡散層の両方に対してコンタクト抵抗を小さくすることができる。シリコン膜のバンドギャップを変化させる方法としては、シリコン基板上にシリコンよりバンドギャップの小さい半導体をエピタキシャル成長させる方法をとる。成長させる半導体はシリコンと同族でバンドギャップの小さなゲルマニウムとシリコンの化合物が適している。

【0015】

【実施例】以下、図面を参照してこの発明の実施例を説明する。この発明では、シリコン基板上にシリコンよりバンドギャップの小さい半導体をエピタキシャル成長させる。例としてシリコン基板を用いシリコン基板よりバンドギャップが狭い材料としてシリコンゲルマニウムを用いる場合について説明する。

【0016】図1～図5はそれぞれこの発明の一実施例に係る半導体装置のコンタクトの製造方法を工程順に示す断面図である。図1に示されるように、シリコン基板1上に周知のように素子分離絶縁膜2を形成し、この素子分離絶縁膜2で囲まれた基板1上に薄いゲート絶縁膜3を形成し、このゲート絶縁膜3上に選択的に多結晶シリコンのゲート電極4をパターニングする。素子分離絶縁膜2及びゲート電極4をマスクに基板1表面にソース、ドレイン領域となる拡散層5、6を形成する。ゲート電極4、拡散層5、6を覆う厚い層間絶縁膜7を形成した後、層間絶縁膜7を開孔して拡散層5、6の一部表面が露出するようなコンタクトホール8、9を形成する。

【0017】次に、図2に示されるように、ゲルマニウム10を真空蒸着またはスパッタリングにより基板1の全面に被着させる。このゲルマニウム膜厚は拡散領域の深さによるが、一般には50nm以下である。

【0018】次に、図3に示されるように、必要に応じてN 拡散層にリンまたはヒ素、またはP 拡散層にボロンを含む不純物のイオン注入を行う。この工程はゲルマニウム10の膜厚が比較的厚い場合、表面に反応せずに残ったゲルマニウムと後にコンタクトされる金属配線との接触抵抗を小さくすることが目的である。従って、ゲルマニウム10の膜厚が十分に薄く、次に行う熱処理後においてゲルマニウム表面での不純物濃度が十分に高ければ必要はない。

【0019】次に、図4に示されるように、熱処理を行う。熱処理は窒素または不活性ガス中であれば拡散炉であってもランプアニールでもよい。熱処理温度は拡散炉の場合は500℃～800℃、ランプアニールの場合は600℃～900℃付近である。この熱処理によりゲルマニウム10はシリコン基板1に拡散し、図中11で示すで

5

示すようにゲルマニウム10に接しているシリコン基板1はSiGe(シリコンゲルマニウム)になる。

【0020】次に、図5に示されるように、通常のLSIの製造方法にしたがって、配線用金属でコンタクトホール8, 9を埋め、例えばアルミニウムでなる金属配線12をパターニングする。この場合、素子分離絶縁膜2と金属配線12との間にゲルマニウム10が残るがこのゲルマニウム10は低抵抗であり、膜厚も薄いので、通常は問題ない。配線12の下にゲルマニウム10がないような構造が必要の場合には、図6に示すようにゲルマニウムスパッタ後にパターニングして、拡散層付近のみゲルマニウム10を残すようにする工程を設ければよい。

【0021】上記構成の方法によれば、シリコンとゲルマニウムはあらゆる割合でも融合し、化合物つくることから、シリコンとゲルマニウムの割合によってバンドギャップを変化させることができる。例えば、シリコン中にゲルマニウムを20~30%含ませることによりバンドギャップは約0.2eV小さくなり、これによりコンタクト抵抗は約1ケタ低減できる。

【0022】図7~図5はそれぞれこの発明の他の実施例に係る半導体装置のコンタクトの製造方法を工程順に示す断面図である。図7は上記図1と同じ構成であり、コンタクトホール8, 9を開孔するまでの製造方法は図1と同様であるので同一箇所には図1と同一符号を付し、説明は省略する。

【0023】図7のコンタクトホール8, 9を開孔後、図8に示されるように、ウェハ全面にゲルマニウムをイオン注入する。イオン注入のドーザ量は $1 \times 10^{16} \text{ cm}^{-2}$ 以上であり、加速電圧は20~60keVの範囲で行うのがよい。これにより、コンタクトホール8, 9底部に露出した拡散層5, 6の表面は図中13に示すようにSiGeになる。

【0024】その後の熱処理や配線工程は前記図4、図5と同様に行われ、図9に示すようになる。上記イオン注入法を用いる場合にも前記スパッタリング増殖と同様にゲルマニウムをイオン注入する前または後にコンタクト抵抗を下げるための不純物イオン注入を行ってもよい。

【0025】図10に前記(1)式から求めた計算結果によるコンタクト抵抗の不純物濃度依存性を示す。この関係はS.M.Sze; Physics of Semiconductor Devices, pp305に示されている。ここで金属の仕事関数がパラメータとなっている。従来技術であるシリコン基板上にアルミニウムでコンタクトをとっている場合は実験結果から約0.6eVである(曲線14)。また、P型拡散層にコンタクトをとる場合の拡散層の不純物濃度は $10^{18} \sim 10^{20} \text{ cm}^{-3}$ である(図中矢印15)。これに対して、この発明によるアルミニウムとコンタクトをとる拡散層をSiGeにした場合には仕事関数が約0.4eVになる(曲線16)。この図より、従来と同じ不純物濃度の拡散層を

6

用いた場合コンタクト抵抗が1ケタ以上小さくなっている。また、 $10^{18} \sim 10^{20} \text{ cm}^{-3}$ の不純物濃度範囲において、濃度の変化に対するコンタクト抵抗の変化の割合が従来に対し、約半分になっている。これは熱処理プロセスやイオン注入に対するプロセスマージンが大きくなっていることを意味している。さらに同図は従来と同じコンタクト抵抗を実現する場合には拡散層の不純物濃度を1ケタ下げることが可能であることを示している。これにより、拡散層の深さを浅くできることになるため素子の微細化に寄与する利点がある。

【0026】なお、上記各実施例ではMIS型のトランジスタの構成を示したがこれに限定されるものではなく、図11に示されるようなバイポーラトランジスタにも適用できる。例えばP型のシリコン基板21上にN型拡散層22が形成され、N型拡散層22を覆うように基板21上にN型エピタキシャル層23が形成されている。エピタキシャル層23上に設けられたP型の分離拡散層24に囲まれた素子領域にベースとなるP型領域25、P型領域25内表面にエミッタとなるN領域26が形成され、P型領域25の外側の素子領域にコレクタとなるN領域27が形成されている。絶縁膜28が開孔され露出したそれぞれの領域25, 26, 27の表面にそれぞれバンドギャップを小さくするゲルマニウム29が前記MIS型のトランジスタの場合と同様な方法で導入され、図中30に示すようにSiGeとなってエミッタ、ベース、コレクタそれぞれの電極31, 32, 33とコンタクトされている。このようにすれば、前記MIS型のトランジスタにおけるコンタクトと同様な効果が得られる。

【0027】

【発明の効果】以上詳記したようにこの発明によれば、コンタクト部にシリコンよりバンドギャップの小さい半導体をエピタキシャル成長させるのでN型、P型両方の半導体領域に対して低いコンタクト抵抗が得られると共に拡散層の不純物濃度を下げることが可能となり、拡散層の深さを浅くできることになるため素子の微細化に寄与する半導体装置のコンタクト構造及びその製造方法が提供できる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第1の断面図。

【図2】 この発明の一実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第2の断面図。

【図3】 この発明の一実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第3の断面図。

【図4】 この発明の一実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第4の断面図。

【図5】 この発明の一実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第5の断面図。

【図6】 この発明の一実施例に係る半導体装置のコンタクトの製造方法の応用例を示す断面図。

7

【図7】 この発明の他の実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第1の断面図。

【図8】 この発明の他の実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第2の断面図。

【図9】 この発明の他の実施例に係る半導体装置のコンタクトの製造方法を工程順に示す第3の断面図。

【図10】 この発明の効果を示すコンタクト抵抗の不純物濃度依存性を示す特性図。

【図11】 この発明の応用例を示すバイポーラトラン

8

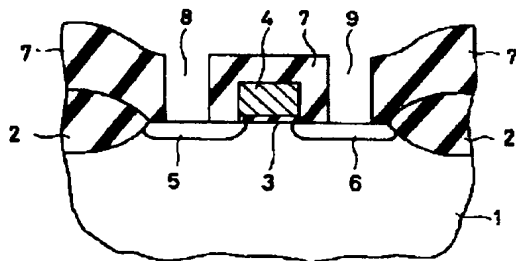
ジスタの断面図。

【図12】 従来の半導体装置のコンタクト構造を示すMIS型半導体装置の断面図

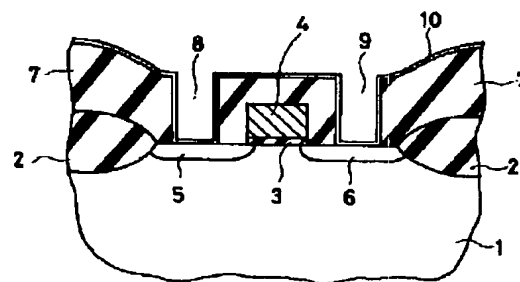
【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3…ゲート絶縁膜、4…ゲート電極、5、6…拡散層、7…層間絶縁膜、8、9…コンタクトホール、10…ゲルマニウム、12…金属配線。

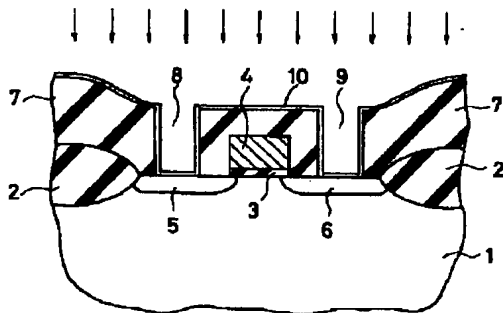
【図1】



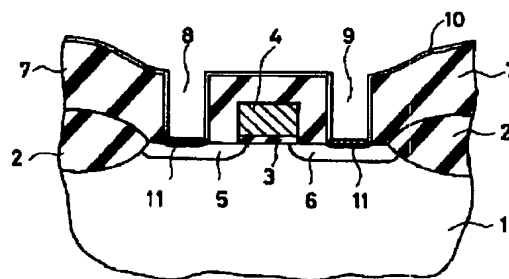
【図2】



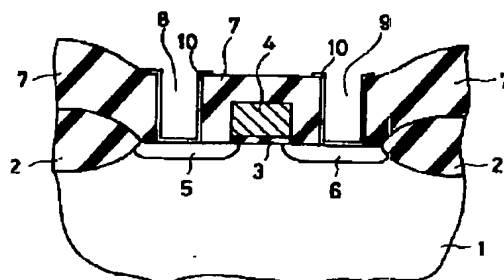
【図3】



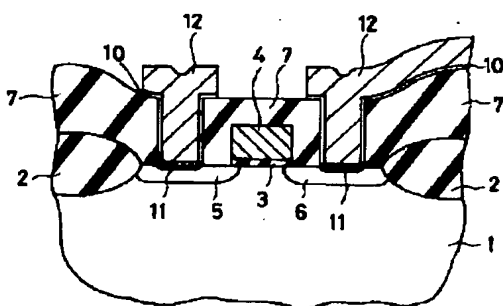
【図4】



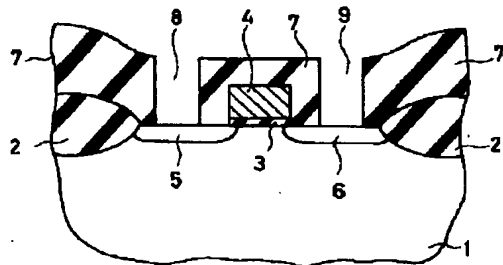
【図6】



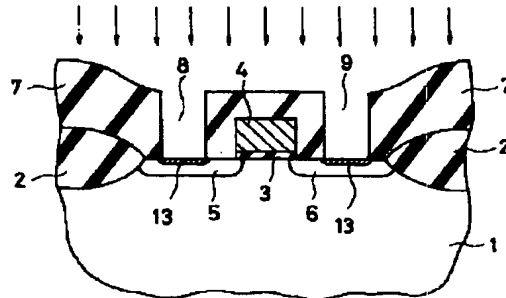
【図5】



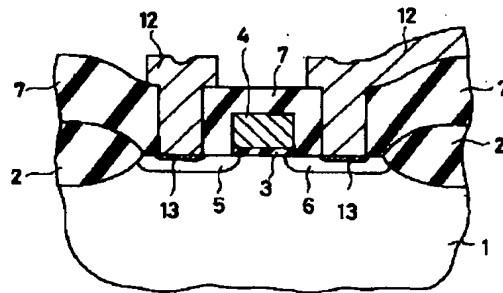
【図7】



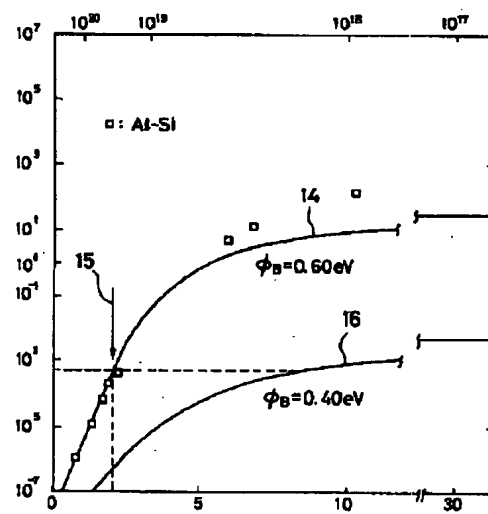
【図8】



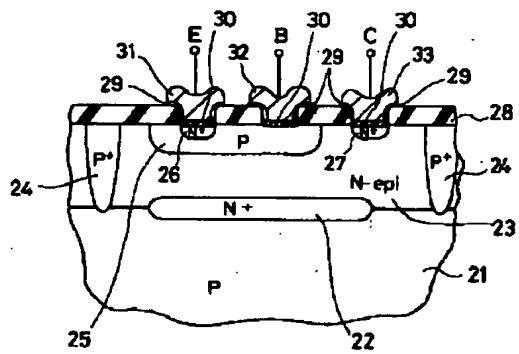
【図9】



【図10】



【図11】



【図12】

